

4/5/1 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

00780148 **Image available**
SEMICONDUCTOR MEMORY ELEMENT

BEST AVAILABLE COPY

PUB. NO.: 56-100448 A]
PUBLISHED: August 12, 1981 (19810812)
INVENTOR(s): TANAKA IZUMI
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 55-003285 [JP 803285]
FILED: January 16, 1980 (19800116)
INTL CLASS: [3] H01L-021/90; H01L-027/10; H01L-029/78
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: E, Section No. 80, Vol. 05, No. 171, Pg. 133,
October 30, 1981 (19811030)

ABSTRACT

PURPOSE: To reduce the width of a wiring region without increasing wiring resistance and thus to make the wiring highly integrated by leading out the Al wiring from the drain and source of MOSFET on the surface of a semiconductor substance and by forming the same into a multilayer structure.

CONSTITUTION: The Al wiring 9 is led out from the surface of the source 2 and covered with an insulation film 10, whereon the Al wiring led out from the surface of the drain 3 is overlapped. By this constitution, the width of the source 2 can be made smaller by about 20-30% than the usual one, whereby the density of the wiring can be made higher.

BEST AVAILABLE COPY

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭56-100448

⑯ Int. Cl.³
H 01 L 21/90
27/10
29/78

識別記号

厅内整理番号
6741-5F
7210-5F
7514-5F

⑯ 公開 昭和56年(1981)8月12日
発明の数 1
審査請求 未請求

(全 2 頁)

⑯ 半導体記憶素子

⑯ 特 願 昭55-3285
⑯ 出 願 昭55(1980)1月16日
⑯ 発明者 田中泉

⑯ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑯ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称 半導体記憶素子

2. 特許請求の範囲

半導体基板表面に形成された複数の MOSトランジスタ素子のドレイン領域及びソース領域より導出された電極配線が、アルミニウムよりなり且つ多層配線を構成することを特徴とする半導体記憶素子。

3. 発明の詳細を説明

本発明は半導体記憶素子に関し、特にリード・アーチモリタリ素子の電極配線に関するもの。

半導体記憶素子のうちリード・オンリード・メモリ (ROM) 素子は、半導体基板表面に多数の MOS境界効果トランジスタ (FET) 素子が配列され、これら MOSFET 素子のドレイン領域より導出された電極配線 (ビット線) はアルミニウム (Al) を用いて形成されているのに対し、ソース領域の配線 (Vdd ライン) は半導体基板表面に不純物を拡散して形成した拡散層を用いて構成されている。

このようにビット線と Vdd ラインのうちの一方に拡散層を用いることにより ROM 素子の製造工程が簡便化されるが、その反面拡散層の抵抗率が金属性より高いため配線の電流容量を確保するには拡散層の幅を広くしなければならない。

このことは半導体配線技術がますます大規模化する状況下にあっては、素子の高密度化を妨げる要因となっている。

本発明の目的は電極配線の抵抗を高めることなく配線領域の巾を狭め得る半導体記憶素子の構造を提供することにある。

本発明の特徴は、半導体基板表面に形成された複数の MOS トランジスタ素子のドレイン領域及びソース領域より導出された電極配線が、アルミニウムよりなり且つ多層配線を構成することにある。

以下本発明の実施例を図面により説明する。

第 1 図は本発明の半導体記憶素子の一実施例を示す要部断面図、第 2 図は比較のため掲げた従来の半導体記憶素子を示す要部断面図である。

第1図において1は半導体基板、2はソース領域、3はドレイン領域、4はゲート酸化膜、5は多結晶シリコンよりなるフローティング・ゲート電極、6はシリコン酸化膜、7は多結晶シリコンよりなるトロール・ゲート電極、8及び10は焼シリケート・ガラス(PSG)層或いは化学気相成長(CVD)シリコン酸化膜、9はアルミニウム(Au)よりなるソース電極配線(VSLライン)、10はアルミニウム(Au)よりなるドレイン電極配線(ピット線)である。

同様に上記のこととく本実施例では、ソース領域2表面よりアルミニウム(Au)よりなる電極配線9を導出し、その上を焼シリケート10で被覆し、ドレイン領域3表面より導出されたアルミニウム(Au)よりなる電極配線7を形成して多層配線を構成した。

このようにしたことにより、アルミニウム(Au)の抵抗率が小さいので前述ソース電極配線9の幅は2[μm]程度でよく、従って2つのゲート電極間隔は凡そ8[μm]～12[μm]あれば良い。

これを反対に構成してもよいことは自らまで分かる。

以上説明したこととく本発明によれば、配線領域の巾を縮小して高密度化し得る半導体記憶素子を提供することができる。

4. 図面の簡単な説明

第1図は本発明の半導体記憶素子の一実施例を示す要部断面図、第2図は従来の半導体記憶素子の構造を示す要部断面図である。

1…半導体基板、2…ソース領域、3…ドレイン領域、4…ソース電極配線、10…焼シリケート、11…ドレイン電極配線。

代理人 弁理士 松 岡 宏四郎

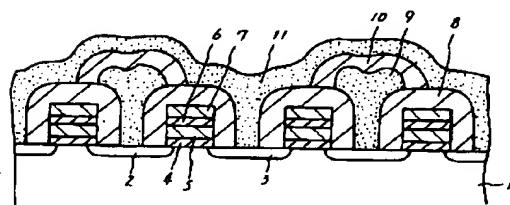
特開昭56-100448(2)

比較のために第2図に示す従来構造の半導体記憶素子においては、基板表面角の方向に配列された複数個の素子のソース領域2を連続して形成し、それをそのまま配線9'として用いている。上述ソース領域2は半導体基板1に所定の不純物を導入して形成した拡散部であって、その抵抗率はアルミニウム(Au)に比して大きく、また拡散層の厚さは半導体素子の電気的特性により定まるため、配線9'の電流容量を確保するためソース領域2の巾を広くせざるを得ず、通常9[μm]～10[μm]を必要とする。

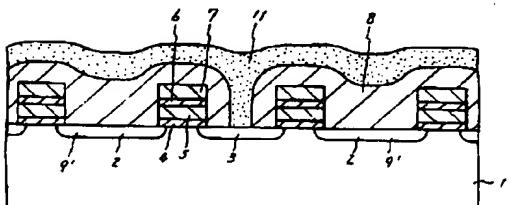
これに対し、前記一実施例ではソース電極配線9をアルミニウム(Au)をもって形成したことによりソース領域2の巾を3.0[μm]～4.0[μm]縮小することができた。このことは昨今のよう半導体記憶素子がますます大規模化する状況下においては素子の面積を小さくして高密度化し得るので大いに有効である。

なお前記一実施例ではソース電極配線9を下層にドレイン電極配線11を上層として説明したが

第1図



第2図



BEST AVAILABLE COPY